

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-345880

(43)Date of publication of application : 14.12.1999

(51)Int.Cl. H01L 21/82

(21)Application number : 10-151309

(71)Applicant : FUJITSU LTD
ELECTRO SCIENT IND INC

(22)Date of filing : 01.06.1998

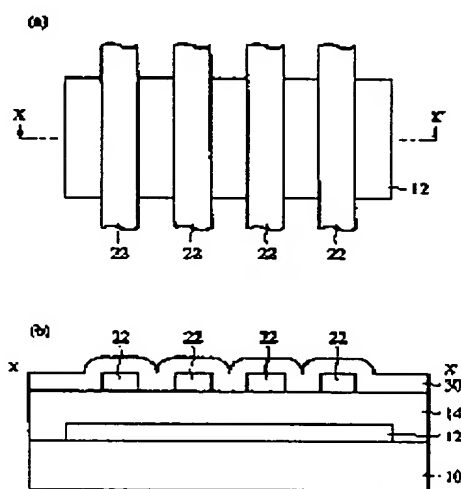
(72)Inventor : EMA TAJI
EDWARD J SWENSON
TOM RICHARDSON
YANRON SAN

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a structure of a semiconductor device having a fuse circuit, which can be easily integrated at high density and can suppress the increase in manufacturing cost and a method therefor, as well as a laser device which is suitable for cutting-off such a fuse.

SOLUTION: This semiconductor device comprises a block layer 12 formed on a base substrate 10, an insulating film 14 formed on the block layer 12, and fuses 22 formed on the insulating film 14. By providing the block layer 12 in an underlying layer of the fuses 22, the fuses cut off through by laser ablation and also enables the laser ablation to be controllably stopped by the block layer 12.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-345880

(43) 公開日 平成11年(1999)12月14日

(51) Int.Cl.⁸

H 0 1 L 21/82

識別記号

F I

H 0 1 L 21/82

F

審査請求 未請求 請求項の数19 O L (全 15 頁)

(21) 出願番号 特願平10-151309

(22) 出願日 平成10年(1998)6月1日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71) 出願人 593141632

エレクトロ サイエнтиフィック イン
ダストリーズ インコーポレーテッド
アメリカ合衆国 97229 オレゴン州 ポ
ートランド エヌ ダブリュ サイエンス
パーク ドライブ 13900

(74) 代理人 弁理士 北野 好人

最終頁に続く

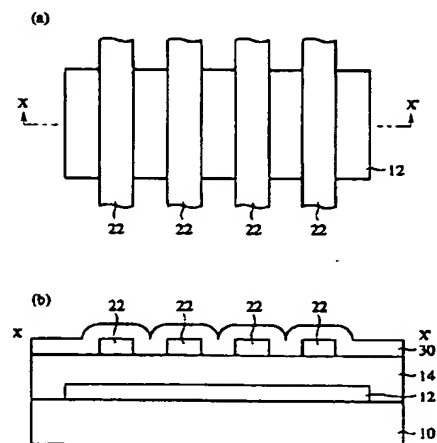
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 高集積化が容易で製造コストが増加しないヒューズ回路を有する半導体装置の構造及びその製造方法、並びに、このようなヒューズの切断に適したレーザ装置を提供する。

【解決手段】 下地基板10上に形成されたブロック層12と、ブロック層12上に形成された絶縁膜14と、絶縁膜14上に形成されたヒューズ22とにより半導体装置を構成する。ヒューズ22の下層部にブロック層12を設けることにより、レーザアブレーションによりヒューズを切断し、且つ、ブロック層12によってレーザアブレーションを制御性よく停止することができる。

本発明の第1実施形態による半導体装置の構造を示す
平面図及び断面図



10...下地基板
12...ブロック層
14...層間絶縁膜
22...ヒューズ
30...カパシタ

【特許請求の範囲】

【請求項 1】 下地基板上に形成されたブロック層と、前記ブロック層上に形成された絶縁膜と、前記絶縁膜上に形成されたヒューズとを有することを特徴とする半導体装置。

【請求項 2】 複数のメモリセルが形成されたメモリセル領域と、不良メモリセルを冗長メモリセルに切り換えるヒューズ回路が形成されたヒューズ回路領域とを有する半導体装置であって、

前記ヒューズ回路領域に形成されたブロック層と、前記ブロック層上に形成された絶縁膜と、前記絶縁膜上に形成され、前記メモリセルを構成する導電層又は前記メモリセル領域に形成された配線層と同一の導電層よりなるヒューズとを有することを特徴とする半導体装置。

【請求項 3】 請求項 2 記載の半導体装置において、前記ヒューズは、前記メモリセル領域に形成された金属配線層と同一導電層により形成されていることを特徴とする半導体装置。

【請求項 4】 請求項 2 記載の半導体装置において、前記メモリセルは、転送トランジスタとキャパシタとを有し、

前記ヒューズは、前記転送トランジスタのゲート電極、前記キャパシタの蓄積電極、前記キャパシタの対向電極又はビット線と同一導電層により形成されていることを特徴とする半導体装置。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置において、前記ヒューズ上に形成されたカバー膜を更に有することを特徴とする半導体装置。

【請求項 6】 請求項 5 記載の半導体装置において、前記カバー膜上に、組立の際のストレスを緩和するためのポリイミド膜を更に有することを特徴とする半導体装置。

【請求項 7】 請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置において、前記ブロック層は、タングステン膜を含む膜により形成されていることを特徴とする半導体装置。

【請求項 8】 請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置において、前記ヒューズは、多結晶シリコン膜、アルミ膜又はアルミ合金膜を含むことを特徴とする半導体装置。

【請求項 9】 請求項 1 乃至 8 のいずれか 1 項に記載の半導体装置において、レーザアブレーションにより切断された前記ヒューズを有することを特徴とする半導体装置。

【請求項 10】 下地基板上にブロック層を形成するブロック層形成工程と、前記ブロック層上に絶縁膜を形成する絶縁膜形成工程と、

前記絶縁膜上にヒューズを形成するヒューズ形成工程とを有することを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 10 記載の半導体装置の製造方法において、

前記ヒューズ形成工程の後に、レーザアブレーションにより前記ヒューズを切断するヒューズ切断工程を更に有することを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 11 記載の半導体装置の製造方法において、

10 前記ヒューズ切断工程では、前記ブロック層でレーザアブレーションを停止することを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 11 又は 12 記載の半導体装置の製造方法において、

前記ヒューズ切断工程では、波長が 500nm 以下のレーザ光により前記ヒューズを切断することを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 13 記載の半導体装置の製造方法において、

20 前記レーザ光は、Nd:YAG レーザの第 3 高調波又は Nd:YLF レーザの第 3 高調波であることを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 10 乃至 14 のいずれか 1 項に記載の半導体装置の製造方法において、

前記ヒューズ形成工程の後に、前記ヒューズ上を覆うカバー膜を形成するカバー膜形成工程を更に有することを特徴とする半導体装置の製造方法。

【請求項 16】 請求項 15 記載の半導体装置の製造方法において、

30 前記カバー膜形成工程の後に、組立の際のストレスを緩和するためのポリイミド膜を形成するポリイミド膜形成工程を更に有することを特徴とする半導体装置の製造方法。

【請求項 17】 請求項 10 乃至 16 のいずれか 1 項に記載の半導体装置の製造方法において、

前記ブロック層形成工程では、タングステン膜を含む前記ブロック層を形成することを特徴とする半導体装置の製造方法。

【請求項 18】 下地基板上に形成されたブロック層

40 と、前記ブロック層上に形成された絶縁膜と、前記絶縁膜上に形成されたヒューズとを有する半導体装置の前記ヒューズをレーザアブレーションにより切断するためのレーザ装置であって、

500nm 以下の発振波長を有し、前記ヒューズをレーザアブレーションにより切断するために十分なエネルギー密度を有するレーザ光を発振するレーザ共振器と、前記レーザ共振器により出力されたレーザ光を所定のスポットサイズに集光するレンズ機構と、

50 前記レーザ共振器により出力されたレーザ光を前記半導体装置の所定の位置に照射するための位置合わせ機構と

を有することを特徴とするレーザ装置。

【請求項 19】 請求項 18 記載のレーザ装置において、
前記レーザ共振器は、Nd:YAGレーザの第 3 高調波
又は Nd:YLFレーザの第 3 高調波を出力することを
特徴とするレーザ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、レーザアブレーションにより切断しうるヒューズ回路を有する半導体装置
及びその製造方法、並びに、このような半導体装置のヒ
ューズを切断するに適したレーザ装置に関する。

【0002】

【従来の技術】DRAMやSRAMなどのメモリデバイ
スやロジックデバイスなどの半導体装置は極めて多数の
素子によって構成されているが、製造工程上の様々な要
因によって一部の回路やメモリセルが正常動作しなくな
ることがある。この場合、一部の回路やメモリセルの不
良により装置全体を不良として扱うとすれば製造歩留り
を低下させ、ひいては製造コストの増加にも繋がること
となる。このため、近年の半導体装置においては、不良
回路や不良メモリセルを、予め準備しておいた冗長回路
や冗長メモリセルに切り換えて良品とすることにより不
良品を救済することが行われている。また、異なる機能
を有する複数の回路を一体として構成した後に装置機能
の切り換えを行う半導体装置や、所定の回路を構成した
後に装置特性の調整を行うようにしている半導体装置も
存在する。このような装置の再構築は、通常、半導体装
置上に予め複数のヒューズを備えたヒューズ回路を実装
しておき、動作試験等の後、当該ヒューズをレーザ照射
によって切断することにより行われている。

【0003】ヒューズ回路を有する従来の半導体装置及
びその製造方法について、図 11 を用いて説明する。図
11 (a) は従来の半導体装置の構造を示す概略断面
図、図 11 (b) は従来の半導体装置の構造を示す平面
図、図 11 (c) はヒューズ切断後の従来の半導体装置
の構造を示す概略断面図である。下地基板上 200 に
は、所定の回路に接続され、回路の切り換えを行うため
のヒューズ 202 が形成されている。ヒューズ 202 上
には、ヒューズ 202 を覆う層間絶縁膜 204 が形成さ
れている。層間絶縁膜 204 上には、層間絶縁膜 204
を介してヒューズ 202 に接続された配線層 206 が形
成されている。配線層 206 上には、パッシベーション
膜 211 が形成され、ヒューズ 202 上でパッシベシ
ョン膜 211 の一部は除去されている。ヒューズ 202
は、下地基板 200 上に所定のピッチ P をもって複数形
成される (図 11 (a)、(b))。

【0004】このようなヒューズ回路において、ヒュー
ズ 202 の切断は、ヒューズが形成された領域にレーザ
光 208 を照射し、その吸収エネルギーによってヒュー

ズ 202 を急激に高温に加熱して溶融爆発 (Laser Expl
osion) することにより行われていた (図 11

(c))。ここで、半導体装置を微細化するためにはヒ
ューズ 202 のピッチ P をより狭くすることが必要であ
るが、ヒューズ 202 のピッチ P は、レーザ光 208 の
スポットサイズ 210 と、レーザ光 208 のアライメン
ト精度とによって律則されることとなる。

【0005】レーザ光 208 のスポットサイズ 210
は、照射するレーザ光の波長によってその下限が決定さ
れるため、レーザ光の波長を短くすればするほどにスポ
ットサイズ 208 を小さくすることができる。しかしな
がら、レーザ光の波長が短すぎるとヒューズ 202 の形
成されていない領域を透過したレーザ光が下地の半導体
基板に達して吸収され、そこで加熱溶融爆発してしまう
不都合がある。このため、半導体基板がシリコンの場合
には、レーザ光の波長は、シリコン基板による吸収が少
ない 1 μ m 程度、すなわち、スポットサイズにして約
1.5 ~ 2.0 μ m が下限であった。

【0006】一方、アライメント精度は、隣接するヒ
ューズ 202 の両方を切断する場合に、爆発領域が重なっ
てしまうと下地の半導体基板に損傷が入る不都合を防止
するため、及び、隣接するヒューズ 202 の一方を切断
する場合に他方に損傷を与えたり切断してしまうのを防
止するために必要であり、通常、約 0.5 μ m がその下
限となっている。

【0007】したがって、上記従来のヒューズ切断方法
では、ヒューズピッチの下限は 2.0 ~ 2.5 μ m であ
った。ヒューズのピッチ P を狭める方法としては、フォ
トレジストを用いる方法が本出願人の一部において提案
されている。フォトレジストを用いる方法では、図 11
(a) に示す半導体装置上にフォトレジスト 212 を形
成し (図 12 (a))、溶融爆発の生じない十分に低い
パワーでレーザ光 208 を照射してフォトレジスト 212
を露光し (図 12 (b))、露光したフォトレジスト
212 を現像して露光された領域 214 のフォトレジス
ト 212 を除去し (図 12 (c))、このフォトレジス
ト 212 をマスクとしてヒューズ 202 を通常のエッチ
ングプロセスにて除去する (図 12 (d))。

【0008】この方法によれば、レーザ光 208 のパワ
ーはフォトレジスト 212 を感光させるに十分であれば
足りるので、ヒューズ 202 や半導体基板を溶融爆発す
るほどに高く設定する必要はない。したがって、レーザ
光 208 の波長は容易に短波長化することができるの
で、レーザ光 208 のスポットサイズ 210 もレーザ光
の波長に応じていくらかでも小さくすることができる。し
たがって、レーザ光のスポットサイズ 210 に律則され
るヒューズピッチ P をも狭めることができる。

【0009】しかしながら、フォトレジストを用いる方
法では、フォトレジストの塗布工程及び現像工程、ヒ
ューズのエッチング工程、フォトレジストの剥離工程を更

に設けなければならない。従来、ウェーハプロセス完了後に行う試験工程はウェーハプロセスクリーンルームに比べて清浄度が劣っていても支障がなかったが、エッチング等のプロセスを試験後に行う場合には、試験工程を清浄度の高いクリーンルーム内で行いウェーハに付着したゴミがエッチング装置を汚さないようにするか、ヒューズ切断専用のエッチング装置を配備する必要があるため、単なる工程増加以上に製造コストが増加することとなる。

【0010】

【発明が解決しようとする課題】このように、従来のヒューズ切断方法では、半導体装置の高集積化に応じてヒューズピッチを狭め、且つ、製造工程や製造コストの増加を抑えることは困難であった。本発明の目的は、高集積化が容易で製造コストが増加しないヒューズ回路を有する半導体装置の構造及びその製造方法、並びに、このようなヒューズの切断に適したレーザ装置を提供することにある。

【0011】

【課題を解決するための手段】本発明は、レーザアブレーション (Laser Ablation) を用いてヒューズを切断しうる半導体装置及びその製造方法、並びに、このような半導体装置のヒューズを切断するに好適なレーザ装置を提供するものである。レーザアブレーションとは、高強度のレーザ光を照射し、照射したレーザ光のエネルギーによって物質の結合を解き、被照射物を瞬時に昇華する現象をいうものである。

【0012】レーザ光の吸収による熔融爆発を用いる従来のヒューズ切断方法が、光エネルギーを一旦物質の結合の伸縮等の振動、すなわち、熱エネルギーに変換し、この後に熔融爆発するものであるのに対し、レーザアブレーションは、光エネルギーによって直接物質の結合を解離するものであり、熔融爆発とレーザアブレーションとは全く異なる現象に基づくものである。

【0013】かかるメカニズムの違いから、レーザアブレーションの場合にはレーザ光を照射した部分のみが消失し、未照射部との境界は極めて奇麗な切断面として残る。一方、従来の熔融爆発では、レーザ照射部近傍まで熔融爆発し、多数の飛散物が生じるとともに、レーザ照射部と未照射部との境界は極めて不鮮明となる。このように、レーザアブレーションではレーザ照射部を奇麗に除去することができるが、ほとんど全ての物質を瞬時に除去してしまうため制御性に欠け、ヒューズのみならず、その下層の半導体基板の一部までもが除去されてしまうという欠点がある。

【0014】上記欠点に鑑み本願発明者等が鋭意検討を行った結果、本願発明者等は、レーザアブレーションにより昇華されにくい材料を見出した。そして、レーザアブレーションにより昇華されにくい所定の材料からなるブロック層をヒューズの下層部に設けておくことによ

り、このブロック層上でレーザアブレーションを制御性よく停止することができることが初めて明らかとなった。

【0015】レーザアブレーションによりヒューズを切断する場合であっても、ブロック層によりレーザアブレーションを抑制することができればレーザ光の波長を短くしても従来の熔融爆発のように半導体基板に損傷を与える虞もない。したがって、レーザ光のスポットサイズは、レーザ光の波長に応じていくらかでも小さくすることができる。

【0016】また、互いに隣接する2本のヒューズの両方を切断した場合でも、ブロック層が十分に厚ければ両方のレーザスポットが重なり合っても半導体基板に損傷を与える虞がない。すなわち、ヒューズピッチは、レーザ光の波長を短くすることによっていくらかでも縮小することができる。また、レーザアブレーションでは、ヒューズを切断するために必要とされる装置はレーザ装置のみであり、エッチング装置等を付加する必要はなく、また、製造工程数や製造コストが増加することもない。

【0017】レーザアブレーションを抑制するためのブロック層としては、例えばW (タングステン) 膜を用いることができる。すなわち、上記目的は、下地基板上に形成されたブロック層と、前記ブロック層上に形成された絶縁膜と、前記絶縁膜上に形成されたヒューズとを有することを特徴とする半導体装置によって達成される。このように半導体装置を構成することにより、下地基板に損傷を与えることなく制御性よくレーザアブレーションによりヒューズを切断することができる。また、レーザアブレーションにより切断しうるヒューズは極めて狭いピッチで配置できるので、ヒューズ回路の集積度を向上することができる。

【0018】また、上記目的は、複数のメモリセルが形成されたメモリセル領域と、不良メモリセルを冗長メモリセルに切り換えるヒューズ回路が形成されたヒューズ回路領域とを有する半導体装置であって、前記ヒューズ回路領域に形成されたブロック層と、前記ブロック層上に形成された絶縁膜と、前記絶縁膜上に形成され、前記メモリセルを構成する導電層又は前記メモリセル領域に形成された配線層と同一の導電層よりなるヒューズとを有することを特徴とする半導体装置によっても達成される。このように半導体装置を構成することにより、レーザアブレーションにより制御性よく切断しうるヒューズをメモリデバイスにおける冗長回路への切り換え回路に適用することができる。また、レーザアブレーションにより切断しうるヒューズは極めて狭いピッチで配置できるので、メモリデバイスの集積度を向上することができる。

【0019】また、上記の半導体装置において、前記ヒューズは、前記メモリセル領域に形成された金属配線層と同一導電層により形成されていることが望ましい。ヒ

ューズを構成する配線層は、半導体装置を構成するいずれかの金属配線層と同一の導電層により構成することができる。また、上記の半導体装置において、前記メモリセルは、転送トランジスタとキャパシタとを有し、前記ヒューズは、前記転送トランジスタのゲート電極、前記キャパシタの蓄積電極、前記キャパシタの対向電極又はビット線と同一導電層により形成されていることが望ましい。ヒューズは、金属配線層のみならず、メモリセルを構成する上記の導電層と同一導電層により構成することもできる。

【0020】また、上記の半導体装置において、前記ヒューズ上に形成されたカバー膜を更に有することが望ましい。上記の半導体装置はレーザアブレーションによりヒューズを切断することができるので、ヒューズ上にカバー膜が形成されている場合であってもカバー膜上からヒューズを切断することができる。また、上記の半導体装置において、前記カバー膜上に、組立の際のストレスを緩和するためのポリイミド膜を更に有することが望ましい。上記の半導体装置はレーザアブレーションによりヒューズを切断することができるので、カバー膜上に更にポリイミド膜が形成されている場合であっても、ポリイミド膜上からヒューズを切断することができる。

【0021】また、上記の半導体装置において、前記ブロック層は、タングステン膜を含む膜により形成されていることが望ましい。タングステン膜はレーザアブレーションにより昇華されにくい材料のため、タングステン膜を含む膜によりブロック層を形成することによりブロック層でレーザアブレーションを停止することができる。また、上記の半導体装置において、前記ヒューズは、多結晶シリコン膜、アルミ膜又はアルミ合金膜を含むことが望ましい。これら導電性材料はレーザアブレーションにより極めて昇華されやすいので、レーザアブレーションにより切断するヒューズとして用いることができる。

【0022】また、上記の半導体装置において、レーザアブレーションにより切断された前記ヒューズを有することが望ましい。また、上記目的は、下地基板上にブロック層を形成するブロック層形成工程と、前記ブロック層上に絶縁膜を形成する絶縁膜形成工程と、前記絶縁膜上にヒューズを形成するヒューズ形成工程とを有することを特徴とする半導体装置の製造方法によっても達成される。上記の半導体装置の製造方法によれば、レーザアブレーションによりヒューズを切断しうる半導体装置を製造することができる。また、レーザアブレーションにより切断しうるヒューズは極めて狭いピッチで配置できるので、ヒューズ回路の集積度を向上することができる。

【0023】また、上記の半導体装置の製造方法において、前記ヒューズ形成工程の後に、レーザアブレーションにより前記ヒューズを切断するヒューズ切断工程を更に有することが望ましい。レーザアブレーションにより

ヒューズを切断すれば、製造工程を複雑にせず、且つ、新たな製造装置を配備する必要がないので、製造コストを増加せずにヒューズのピッチを狭めることができる。

【0024】また、上記の半導体装置の製造方法において、前記ヒューズ切断工程では、前記ブロック層でレーザアブレーションを停止することが望ましい。レーザアブレーションにより昇華されにくい材料よりなるブロック層をヒューズ下層部に形成しておくことにより、ブロック層で制御性よくレーザアブレーションを停止することができる。

【0025】また、上記の半導体装置の製造方法において、前記ヒューズ切断工程では、波長が500nm以下のレーザ光により前記ヒューズを切断することが望ましい。レーザアブレーションでは下地基板のレーザ光の吸収を考慮する必要がないので、基板の吸収帯である1μm以下の波長帯のレーザ光を用いることができる。また、このような短波長レーザ光を用いることによりレーザ光のスポットサイズを縮小することができるので、ヒューズピッチを狭めてヒューズを配置することができる。

【0026】また、上記の半導体装置の製造方法において、前記レーザ光は、Nd:YAGレーザの第3高調波又はNd:YLFレーザの第3高調波であることが望ましい。また、上記の半導体装置の製造方法において、前記ヒューズ形成工程の後に、前記ヒューズ上を覆うカバー膜を形成するカバー膜形成工程を更に有することが望ましい。レーザアブレーションでは、上層部から順次昇華していくので、ヒューズ上にカバー膜が形成されている場合であってもカバー膜上からヒューズを切断することができる。

【0027】また、上記の半導体装置の製造方法において、前記カバー膜形成工程の後に、組立の際のストレスを緩和するためのポリイミド膜を形成するポリイミド膜形成工程を更に有することが望ましい。また、カバー膜上にポリイミド膜が形成されている場合であっても、同様に、ポリイミド膜上からヒューズを切断することができる。

【0028】また、上記の半導体装置の製造方法において、前記ブロック層形成工程では、タングステン膜を含む前記ブロック層を形成することが望ましい。また、上記目的は、下地基板上に形成されたブロック層と、前記ブロック層上に形成された絶縁膜と、前記絶縁膜上に形成されたヒューズとを有する半導体装置の前記ヒューズをレーザアブレーションにより切断するためのレーザ装置であって、500nm以下の発振波長を有し、前記ヒューズをレーザアブレーションにより切断するために十分なエネルギー密度を有するレーザ光を発振するレーザ共振器と、前記レーザ共振器により出力されたレーザ光を所定のスポットサイズに集光するレンズ機構と、前記レーザ共振器により出力されたレーザ光を前記半導体装

置の所定の位置に照射するための位置合わせ機構とを有することを特徴とするレーザ装置によっても達成される。このようにしてレーザ装置を構成することにより、ウェーハの任意の位置にレーザ光を照射し、レーザアブレーションによりヒューズを切断することができる。

【0029】また、上記のレーザ装置において、前記レーザ共振器は、Nd:YAGレーザの第3高調波又はNd:YLFレーザの第3高調波を出力することが望ましい。

【0030】

【発明の実施の形態】〔第1実施形態〕本発明の第1実施形態による半導体装置及びその製造方法について図1乃至図4を用いて説明する。図1は本実施形態による半導体装置の構造を示す平面図及び断面図、図2は本実施形態による半導体装置の製造方法を示す工程図、図3及び図4は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0031】はじめに、本実施形態による半導体装置の構造について図1を用いて説明する。図1(a)は本実施形態による半導体装置の構造を示す平面図、図1

(b)は図1(a)のX-X'線断面図である。下地基板10上には、レーザアブレーションを抑制するブロック層12が形成されている。下地基板10及びブロック層12上には、層間絶縁膜14が形成されている。層間絶縁膜14上には、例えばアルミや多結晶シリコンなどの導電膜よりなるヒューズ22が複数形成されている。ヒューズ22上には、カバー膜30が形成されている。

【0032】このように、本実施形態による半導体装置では、ヒューズ22が形成された領域の下層に、レーザアブレーションを抑制するブロック層12が形成されていることに特徴がある。このようなブロック層12を設けることにより、制御性に欠けるレーザアブレーションを用いてヒューズ22を切断する場合にもブロック層12で制御性よくレーザアブレーションを停止することができる。

【0033】ブロック層12としては、レーザアブレーションにより昇華されにくい材料を適用することが望ましく、具体的には、W(タングステン)膜や、W/TiN/Tiなどの積層膜を用いることができる。これらの膜や積層膜は、従来より半導体装置の製造に広く用いられているものであり、プロセスの整合性にも優れている。

【0034】また、特別にブロック作用を有しなくても、ヒューズ22と半導体基板間に配置される膜が厚ければ厚いほどよいので、半導体装置に用いられる全ての層をヒューズ22下部に配置してもブロック層12としての機能を発揮できる。ヒューズ22としては、ブロック層12に比べて十分にレーザアブレーションされやすい材料であれば如何なる材料であっても適用することができる。実際に半導体装置に使用されている材料として

は、例えば、多結晶シリコン、金属シリサイド、Al、Al-Si-CuやAl-Cu-TiなどのAl合金、Ti、TiN、又はこれらの積層膜を用いることができる。

【0035】ヒューズ22のピッチは、レーザ光のスポットサイズと位置合わせ余裕とにより律則される。レーザ光の最小スポットサイズは、概略、レーザ光の波長の約2倍と見積もることができるので、例えばレーザ光の波長を0.355 μ m、位置合わせ余裕を0.5 μ mとすると、ヒューズ22のピッチは約1.2 μ mとなる。したがって、従来の半導体装置と比較して、ヒューズ22のピッチを極めて狭くすることができる。

【0036】また、2回のレーザアブレーションに耐える膜厚を有するブロック層を設けておけば、隣接するヒューズを切断するためのレーザ光のスポットが重なり合っても下地に損傷を与える虞がないので、位置合わせ余裕を確保する必要はない。したがって、ヒューズピッチは更に狭めることができる。また、レーザアブレーションでは下地基板による吸収を考慮する必要がないので、レーザ光の波長を短くすることによりヒューズピッチを更に狭めることができる。したがって、半導体装置の微細化に極めて有効である。

【0037】このように、本実施形態によれば、ヒューズの下層部にレーザアブレーションにより昇華されにくい材料からなるブロック層を設けるので、レーザアブレーションにより制御性よくヒューズの切断を施する半導体装置を構成することができる。また、レーザアブレーションでは、レーザ光の波長を短くしても下地基板に影響を与えないので、レーザ光のスポットサイズをレーザ光の波長に応じて極めて小さくすることができる。これにより、ヒューズピッチを狭めることができるので、半導体装置の集積度を向上することができる。

【0038】次に、本実施形態による半導体装置の製造方法について図2乃至図4を用いて説明する。本実施形態による半導体装置の製造方法は、図2に示すように、下地基板上にレーザアブレーションを抑制するブロック層を形成する工程(ステップS11)と、ブロック層上に絶縁膜を介してヒューズを形成する工程(ステップS12)と、ヒューズ上を覆うカバー膜を形成する工程(ステップS13)と、回路の動作試験を行う試験工程(ステップS14)と、レーザアブレーションによりヒューズを切断する工程(ステップS15)とにより半導体装置を製造することに特徴がある。

【0039】以下、具体的な構造を例に本実施形態による半導体装置の製造方法を詳細に説明する。まず、所定の素子が形成された下地基板10上に、レーザアブレーションを抑制するためのブロック層12を形成する(ステップS11)。例えば、下地基板10上にCVD法により膜厚約350nmのW膜を堆積して所定の形状にパターニングし、ブロック層12とする。

【0040】次いで、ブロック層12を覆う層間絶縁膜14を形成する。例えば、CVD法により膜厚約1 μ mのシリコン酸化膜を堆積し、層間絶縁膜14とする(図3(b))。続いて、層間絶縁膜14上に、ヒューズとなる導電膜を堆積する。例えば、スパッタ法により、膜厚約100nmのTiN膜16と、膜厚約1 μ mのAl-Cu-Ti膜18と、膜厚約50nmのTiN膜20とを堆積する。

【0041】この後、通常のリソグラフィ技術及びエッチング技術により、TiN膜20/Al-Cu-Ti膜18/TiN膜16よりなる積層膜をパターンニングし、ブロック層12の上部に、この積層膜よりなるヒューズ22を形成する(ステップS12、図3(c))。例えば、ブロック層12上に、幅約2 μ mのヒューズ22を2 μ mピッチで複数配置する。

【0042】次いで、ヒューズ22が形成された基板の上にカバー膜30を形成する(ステップS13)。例えば、CVD法により膜厚約100nmのSiON膜24を堆積し、次いで膜厚約1 μ mのSOG膜26を塗布して表面を平坦化し、続いてCVD法により膜厚約1 μ mのSiN膜28を堆積し、SiON膜24と、SOG膜26と、SiN膜28とからなるカバー膜30を形成する(図4(a))。

【0043】続いて、通常のリソグラフィ技術及びエッチング技術により、ボンディングパッド(図示せず)を露出するための開口部をカバー膜に形成する。熔融爆発によりヒューズを切断する従来の半導体装置の製造方法では、熔融爆発を起こすためにカバー膜を除去し、或いは薄くする必要があり、通常、ボンディングパッドの開口と同時にヒューズ窓を形成するためのエッチングを行っていた。しかしながら、レーザアブレーションを用いる本実施形態による半導体装置の製造方法では、上層の膜から順次昇華していくためカバー膜30にヒューズ窓を形成する必要はない。したがって、カバー膜30のパターンニング工程では、100 μ m単位の大きなパッド開口部のみを形成すれば十分であり微細なヒューズ窓を形成する必要はないので、リソグラフィ工程を簡略にすることができる。このことは、従来のようにヒューズ窓を形成してはいけないことを意味するものではない。ヒューズ窓を形成すれば、ヒューズ上の膜が少なくなるためレーザアブレーションのトータルパワーを減少でき、また、スループットの増加及びより高精度のレーザアブレーション制御も可能となるなどのメリットを得ることができる。

【0044】この後、所定の回路試験を行い不良メモリセル等を特定し、冗長メモリセルと切り換えるために切断すべきヒューズを特定する(ステップS14)。この際、切断すべきヒューズ22のウェーハ上における位置座標を予め記憶しておき、ヒューズ切断の際に用いる。次いで、レーザアブレーション法を用い、回路試験によ

り特定されたヒューズ22を切断する(ステップS15、図4(b))。なお、上述の構造では、発振波長355nm、パルス幅40nsec、パワー100 μ J、スポットサイズ5 μ mの条件により、ブロック層12でレーザアブレーションを停止しつつヒューズ22を切断することができた。なお、レーザ光のスポットサイズは、1.5 μ m程度のものを使用することもでき、更には波長の2倍程度まで縮小可能である。

【0045】この後、必要に応じて再度回路試験を行い、良品の組立を行う。このように、本実施形態によれば、レーザアブレーションを用いてヒューズ22を切断するので、カバー膜30にヒューズ窓を設けることなくヒューズ22を切断することができる。これにより、カバー膜30のパターンニングの際のリソグラフィ工程を簡略にすることができる。また、ヒューズ22の切断にフォトリソグラフィやエッチング装置を用いる必要がないので、ヒューズ切断専用のエッチング装置などを新たに配備する必要もない。

【0046】また、レーザアブレーションではレーザの波長を独立して短波長化することができるので、レーザのスポットサイズを極めて小さくすることができる。これにより、ヒューズ回路を構成する領域の専有面積を大幅に縮小することができるので、半導体装置の集積度を向上することができる。なお、半導体チップをセラミックパッケージに封入する際のチップとセラミックとの間の熱膨張差などによる影響を抑えるため、カバー膜30上に緩衝材としてポリイミド膜を形成する場合がある。このような場合にも、本実施形態による半導体装置の製造方法は有効である。すなわち、レーザアブレーションを用いる本実施形態の半導体装置の製造方法では、対象物の表面側から順次昇華していくので、カバー膜上にポリイミド膜が形成されている場合であってもポリイミド膜上からヒューズを切断することができる。

【0047】例えば、図5に示すように、下地基板の上にブロック層を形成し(ステップS21)、ブロック層上に層間絶縁膜を介してヒューズを形成し(ステップS22)、ヒューズ上を覆うカバー膜を形成し(ステップS23)、カバー膜を覆うポリイミド膜を形成し(ステップS24)、その後、所定の動作試験を行い(ステップS25)、レーザアブレーションによりヒューズを切断(ステップS25)することができる。

【0048】また、上記実施形態ではカバー膜の形成後に動作試験を行っているが、少なくとも最終配線層が形成されていれば動作試験を行うことができる。また、ヒューズの切断は、動作試験の後であれば行うことができる。したがって、例えば図6に示すように、下地基板の上にブロック層を形成する工程(ステップS31)と、ブロック層上に絶縁膜を介してヒューズを形成する工程(ステップS32)と、ヒューズ上を覆うカバー膜を形成する工程(ステップS33)と、カバー膜を覆うポリ

イミド膜を形成する工程（ステップ S 3 4）とを有する半導体装置の製造方法において、動作試験工程（ステップ S 3 5）は、カバー膜形成工程の前に行ってもよいし、ポリイミド膜形成工程の前に行ってもよいし、ポリイミド膜形成工程の後に行ってもよい。また、ヒューズ切断工程（ステップ S 3 6）は、動作試験工程（ステップ S 3 5）の後であれば、カバー膜形成工程の前に行ってもよいし、ポリイミド膜形成工程の前に行ってもよいし、ポリイミド膜形成工程の後に行ってもよい。

【0049】〔第 2 実施形態〕本発明の第 2 実施形態による半導体装置の構造について図 7 を用いて説明する。図 7 は本実施形態による半導体装置の構造を示す概略断面図である。本実施形態では、第 1 実施形態による半導体装置及びその製造方法を DRAM に適用した場合の一例について説明する。DRAM では、メモリセルを指定するアドレス回路の切り換えにヒューズ回路を使用し、ヒューズ回路の所定のヒューズを切断することにより不良メモリセルのアドレスを冗長メモリセルに切り換えることが行われている。このように DRAM を構成することにより、一部のメモリセルが不良である場合にも、このメモリセルを冗長メモリセルに切り換えることで装置全体が不良となることから救済することができる。

【0050】シリコン基板 40 上には、複数のメモリセルが形成されたメモリセル領域 42 と、メモリセルを駆動するための周辺回路が形成された周辺回路領域 44 と、不良メモリセルを冗長メモリセルに切り換えるためのヒューズ回路が形成されたヒューズ回路領域 46 とが設けられている。シリコン基板 40 には、素子領域を画定するための素子分離膜 48 が形成されている。メモリセル領域 42 のシリコン基板 40 には、ゲート電極 50 とソース／ドレイン拡散層 52、54 とからなる転送トランジスタが形成されている。ソース／ドレイン拡散層 52 には、ビット線 56 が接続されている。ソース／ドレイン拡散層 54 には、フィン型の蓄積電極 58 が接続されている。蓄積電極 58 は、誘電体膜を介して対向電極 60 により覆われており、蓄積電極 58、誘電体膜、対向電極 60 とからなるキャパシタが形成されている。こうして、メモリセル領域 42 には、転送トランジスタ及びキャパシタとからなるメモリセルが複数形成されている。なお、図 7 に示すメモリセルの構造については、例えば同一出願人による特公平 8-28476 号公報に詳述されている。周辺回路領域 44 には、周辺回路を構成する複数の周辺トランジスタ（図示せず）が形成されている。メモリセル及び周辺トランジスタが形成されたシリコン基板 40 上には、層間絶縁膜 62 が形成されている。ヒューズ領域 46 の層間絶縁膜 62 上には、W 膜よりなるレーザアブレーションを抑制するためのブロック層 64 が形成されている。ブロック層 64 が形成された層間絶縁膜 52 上には、層間絶縁膜 66 が形成されている。層間絶縁膜 66 上には、同一の Al 合金層により

形成された裏打ちワード線 68 と、周辺トランジスタを相互接続して周辺回路を構成するための配線層 70 とが形成されている。裏打ちワード線 68、配線層 70 が形成された層間絶縁膜 66 上には、層間絶縁膜 72 が形成されている。層間絶縁膜 72 上には、同一の Al 合金層により形成された配線層 74 とヒューズ 76 とが形成されている。配線層 74 及びヒューズ 76 が形成された層間絶縁膜 72 上には、カバー膜 78 が形成されている。

【0051】このように、本実施形態による半導体装置は、第 1 実施形態による半導体装置を、DRAM における冗長回路への切り換えを行うヒューズ回路に適用していることに特徴がある。すなわち、ヒューズ回路のヒューズを DRAM を構成するための第 2 金属配線層により構成し、ヒューズ 76 の下層にレーザアブレーションを抑制するブロック層 64 を形成している。このように半導体装置を構成することにより、レーザアブレーションにより制御性よくヒューズを切断することができる。

【0052】なお、ヒューズの切断は、第 1 実施形態による半導体装置の製造方法と同様に行うことができる。このように、本実施形態によれば、DRAM における冗長回路への切り換えのためのヒューズ回路として、ヒューズ 76 の下層にレーザアブレーションにより昇華されにくい材料よりなるブロック層 64 を有するヒューズ回路を適用するので、レーザアブレーションにより制御性よくヒューズを切断しうる半導体装置を構成することができる。

【0053】また、レーザアブレーションではレーザ光の波長を短くしても下地基板に影響を与えないので、レーザ光のスポットサイズをレーザ光の波長に応じて極めて小さくすることができる。これにより、ヒューズピッチを狭めることができるので、DRAM の集積度を向上することができる。なお、上記実施形態では、ヒューズ 76 を構成する配線層として第 2 金属配線層を用いたが、必ずしも第 2 金属配線層である必要はない。すなわち、レーザアブレーションでは被対象物の上層部から順次昇華していくので、ヒューズを覆う上層の膜厚には影響されない。したがって、ヒューズ 76 を構成する配線層を必ずしも最上層の配線層とする必要はなく、例えば図 8 に示すように、第 1 金属配線層によりヒューズ 76 を構成することもできる。また、3 層以上の金属配線層を有する場合にも、何れの配線層でヒューズ 76 を構成してもよい。

【0054】また、レーザアブレーションにより昇華されにくい材料よりなるブロック層 64 をヒューズ 76 の下層側に配置すれば、金属配線層のみならず、その他の導電層によりヒューズ 76 を構成してもよい。例えば、図 9 に示すように、対向電極 60 と同一導電層によりヒューズ 76 を構成し、その下層にブロック層 64 を形成することができる。ブロック層 64 としては、新たに挿入した膜を適用してもよいし、ヒューズ 76 の下層側に

位置する導電層、例えば、蓄積電極 58、ビット線 56、ワード線 50 と同一導電層により構成してもよい。

【0055】同様に、蓄積電極、或いは、ビット線と同一導電層によりヒューズを構成することもできる。また、上記実施形態では、フィン型のキャパシタを有する DRAM に第 1 実施形態のヒューズ回路を適用した場合について説明したが、フィン型のキャパシタを有する DRAM に限らず、種々の構造の DRAM に適用することができる。また、DRAM のみならず、SRAM その他のメモリ素子にも適用することができる。

【0056】〔第 3 実施形態〕本発明の第 3 実施形態によるレーザ装置について図 10 を用いて説明する。図 10 は本実施形態によるレーザ装置の構造を示す概略図である。本実施形態では、第 2 実施形態による半導体装置の製造方法に適用しうるレーザ装置について説明する。

【0057】本実施形態によるレーザ装置は、主として、レーザ光を発振するためのレーザ共振器 100 と、レーザ共振器のレーザ光源を光ポンピングするためのレーザダイオード 120 と、レーザ共振器 100 から発せられたレーザ光を所定のスポットサイズに集光するレンズ機構 118 と、レーザ共振器 100 から発せられたレーザ光をステージ 140 上に搭載されたウェーハ 142 の所定の位置に照射するビーム位置合わせ機構 130 とにより構成される。

【0058】レーザダイオード 120 から発せられた光 122 は、レンズ機構 124 を通してレーザ共振器 100 に入射するようになっており、レーザ共振器 100 のレーザ光源を光ポンピングする。レーザ共振器 100 は、レーザ光源 102 と、レーザ光源 102 を挟んで配置された誘導放出を持続するための 2 枚のミラー 104、106 と、レーザ光の周波数を変換し或いは調整するための制御機構 108、110、112 と、光共振器の Q を急速に変化するための Q スイッチ 114 とがレーザ光の光軸 116 上に沿って配置されてなる。レーザ光源 102 としては、例えば、発振波長 442 nm の He-Cd 気体レーザ、第 3 高調波の発振波長が 355 nm である Nd:YAG 固体レーザ、第 3 高調波の発振波長が 349 nm である Nd:YLF 固体レーザを用いることができる。ミラー 106 は、ほぼ 100% の反射率でレーザ光を反射することが望ましく、ミラー 104 は、一部のレーザ光が透過されるように構成され、ミラー 104 を透過した光は出力光として用いられる。制御機構 108、110、112 は、レーザ光をそのまま用いることができる場合には必ずしも必要ないが、制御機構 108、110、112 を設けることにより、レーザ光の波長を、光パラメトリック発振 (optical parametric oscillation) や 2 倍、3 倍、4 倍の非線形周波数変換を用いて所望の発振波長に変換することができる。ミラー 104 を透過したレーザ光は、レンズ機構 118 を介してビーム位置合わせ機構 130 に入射される。

【0059】ビーム位置合わせ機構 130 は、複数の反射板 132、134、136、138 により構成されており、反射板 132、134、136、138 を適宜制御することによりレーザ共振器 100 から出力されたレーザ光をウェーハ 140 上の所定の位置に照射できるようになっている。ビーム位置合わせ機構 130 及びウェーハ 140 に照射されるレーザ光は、レンズ機構 144 により所望のスポットサイズに成型される。

【0060】レーザ共振器 100、レーザダイオード 120、ビーム位置合わせ機構 130、ステージ 140 は、レーザ制御装置 150 によって同期制御され、所定のレーザ発振条件で発せられたレーザ光を、所定のタイミングで、ウェーハ 142 上の所定の位置に照射できるようになっている。なお、ウェーハ 142 上における座標情報は、予めチップ 146 の動作試験を行い切断すべきヒューズの座標をデータ化しておき、レーザ照射の際にレーザ制御装置に与えればよい。

【0061】このようにしてレーザ装置を構成することにより、ウェーハの任意の位置にレーザ光を照射し、レーザアブレーションによりヒューズを切断することができる。

【0062】

【発明の効果】以上の通り、本発明によれば、下地基板上に形成されたブロック層と、ブロック層上に形成された絶縁膜と、絶縁膜上に形成されたヒューズとにより半導体装置を構成するので、下地基板に損傷を与えることなく制御性よくレーザアブレーションによりヒューズを切断することができる。また、レーザアブレーションにより切断しうるヒューズは極めて狭いピッチで配置できるので、ヒューズ回路の集積度を向上することができる。

【0063】また、複数のメモリセルが形成されたメモリセル領域と、不良メモリセルを冗長メモリセルに切り換えるヒューズ回路が形成されたヒューズ回路領域とを有する半導体装置であって、ヒューズ回路領域に形成されたブロック層と、ブロック層上に形成された絶縁膜と、絶縁膜上に形成され、メモリセルを構成する導電層又はメモリセル領域に形成された配線層と同一の導電層よりなるヒューズとを有することを特徴とする半導体装置によっても達成される。このように半導体装置を構成することにより、レーザアブレーションにより制御性よく切断しうるヒューズをメモリデバイスにおける冗長回路への切り換え回路に適用することができる。また、レーザアブレーションにより切断しうるヒューズは極めて狭いピッチで配置できるので、メモリデバイスの集積度を向上することができる。

【0064】また、下地基板上にブロック層を形成するブロック層形成工程と、ブロック層上に絶縁膜を形成する絶縁膜形成工程と、絶縁膜上にヒューズを形成するヒューズ形成工程とにより半導体装置を製造することによ

り、レーザアブレーションにより切断しうるヒューズを有する半導体装置を製造することができる。また、レーザアブレーションにより切断しうるヒューズは極めて狭いピッチで配置できるので、ヒューズ回路の集積度を向上することができる。また、レーザアブレーションによりヒューズを切断すれば、製造工程を複雑にせず、且つ、新たな製造装置を配備する必要がないので、製造コストを増加せずにヒューズのピッチを狭めることができる。

【0065】また、下地基板上に形成されたブロック層と、ブロック層上に形成された絶縁膜と、絶縁膜上に形成されたヒューズとを有する半導体装置のヒューズをレーザアブレーションにより切断するためのレーザ装置であって、500nm以下の発振波長を有し、ヒューズをレーザアブレーションにより切断するために十分なエネルギー密度を有するレーザ光を発振するレーザ共振器と、レーザ共振器により出力されたレーザ光を所定のスポットサイズに集光するレンズ機構と、レーザ共振器により出力されたレーザ光を半導体装置の所定の位置に照射するための位置合わせ機構とによりレーザ装置を構成することにより、ウェーハの任意の位置にレーザ光を照射し、レーザアブレーションによりヒューズを切断することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による半導体装置の構造を示す平面図及び断面図である。

【図2】本発明の第1実施形態による半導体装置の製造方法を示す工程図である。

【図3】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図4】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図5】第1実施形態の変形例による半導体装置の製造方法を示す工程図（その1）である。

【図6】第1実施形態の変形例による半導体装置の製造方法を示す工程図（その2）である。

【図7】本発明の第2実施形態による半導体装置の構造を示す概略断面図である。

【図8】第2実施形態の変形例による半導体装置の構造を示す概略断面図（その1）である。

【図9】第2実施形態の変形例による半導体装置の構造を示す概略断面図（その2）である。

【図10】本発明の第3実施形態によるレーザ装置を示す概略図である。

【図11】従来の半導体装置の構造及び製造方法を示す概略図（その1）である。

【図12】従来の半導体装置の構造及び製造方法を示す概略図（その2）である。

【符号の説明】

10…下地基板

12…ブロック層

14…層間絶縁膜

16…TiN膜

18…Al-Cu-Ti膜

20…TiN膜

22…ヒューズ

24…SiON膜

26…SOG膜

28…SiN膜

30…カバー膜

40…シリコン基板

42…メモリセル領域

44…周辺回路領域

46…ヒューズ回路領域

48…素子分離膜

50…ゲート電極

52、54…ソース／ドレイン拡散層

56…ビット線

58…蓄積電極

60…対向電極

62、66、72、78…層間絶縁膜

64…ブロック層

68…裏打ちワード線

70、74…配線層

76…ヒューズ

100…レーザ共振器

102…レーザ光源

104、106…ミラー

108、110、112…制御機構

114…Qスイッチ

116…光軸

118、124、144…レンズ機構

120…レーザダイオード

122…光

130…ビーム位置合わせ機構

132、134、136、138…反射板

140…ステージ

142…ウェーハ

146…チップ

200…下地基板

202…ヒューズ

204…層間絶縁膜

206…配線層

208…レーザ光

210…スポットサイズ

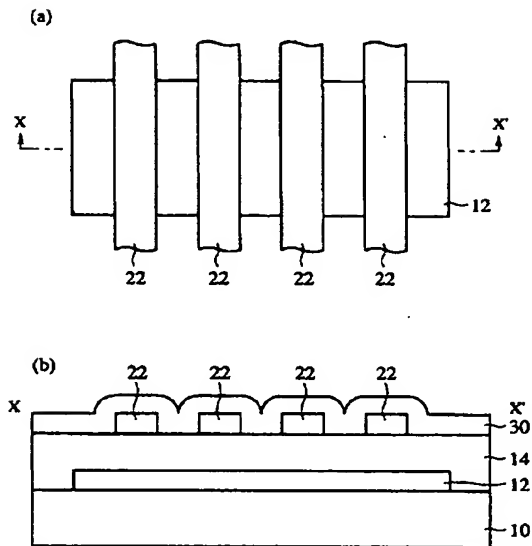
211…パッシベーション膜

212…フォトリソ

214…露光された領域のフォトリソ

【図 1】

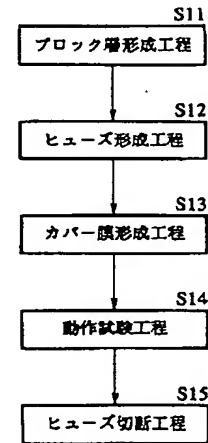
本発明の第1実施形態による半導体装置の構造を示す
平面図及び断面図



10…下地基板
12…ブロック層
14…層間絶縁膜
22…ヒューズ
30…カバー膜

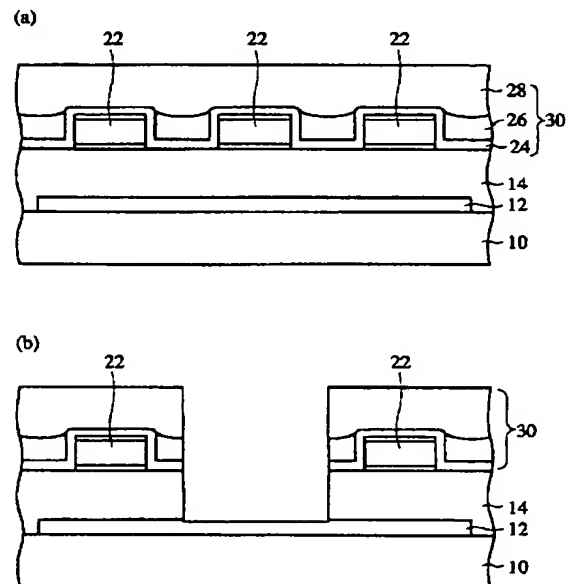
【図 2】

本発明の第1実施形態による半導体装置の製造方法を示す
工程図



【図 4】

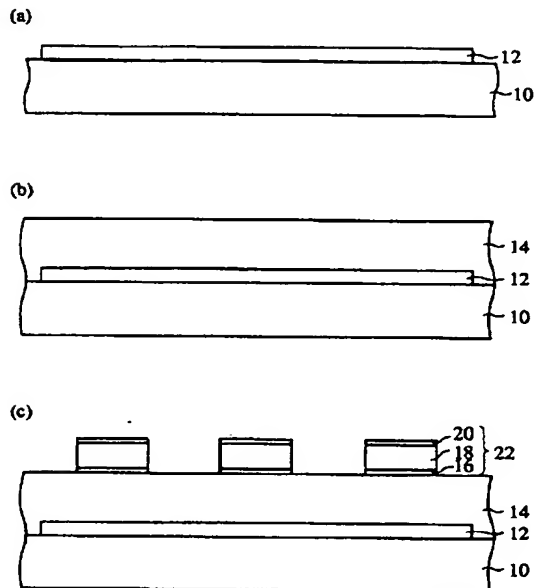
本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その2)



24…SION膜
26…SOG膜
28…SiN膜
30…カバー膜

【図 3】

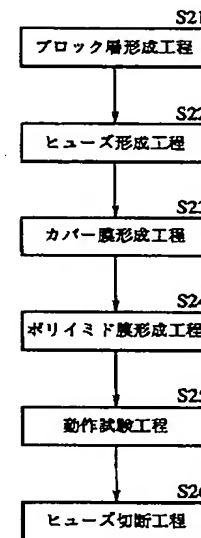
本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その1)



10…下地基板
12…ブロック層
14…層間絶縁膜
16…TiN膜
18…Al-Cu-Ti膜
20…TiN膜
22…ヒューズ

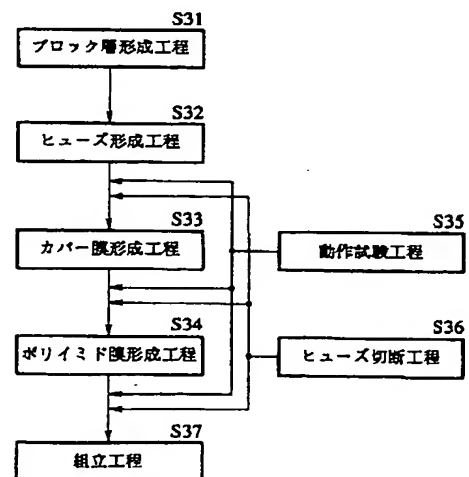
【図 5】

第1実施形態の変形例による半導体装置の製造方法を示す
工程図(その1)



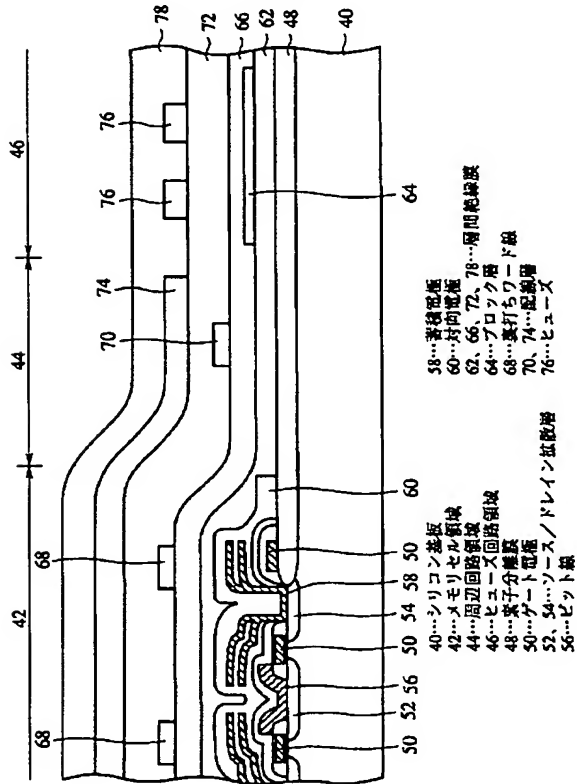
【図 6】

第1実施形態の変形例による半導体装置の製造方法を示す
工程図(その2)



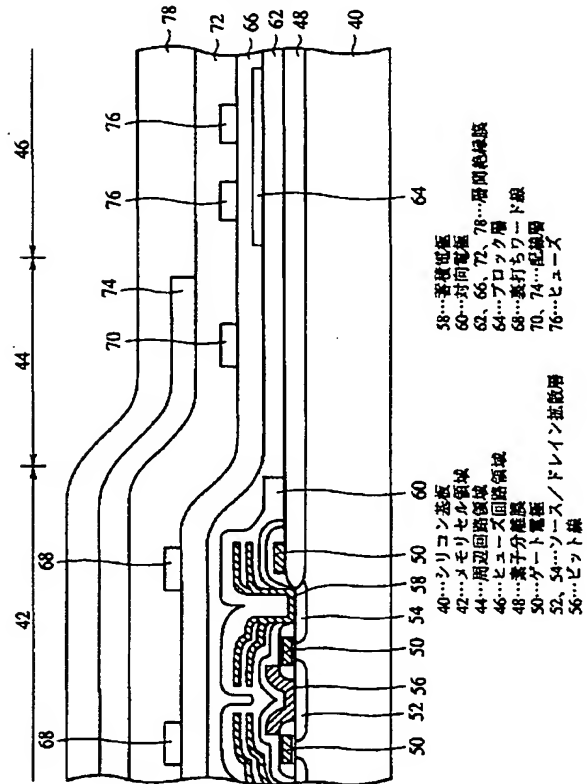
【図 7】

本発明の第2実施形態による半導体装置の構造を示す概略断面図



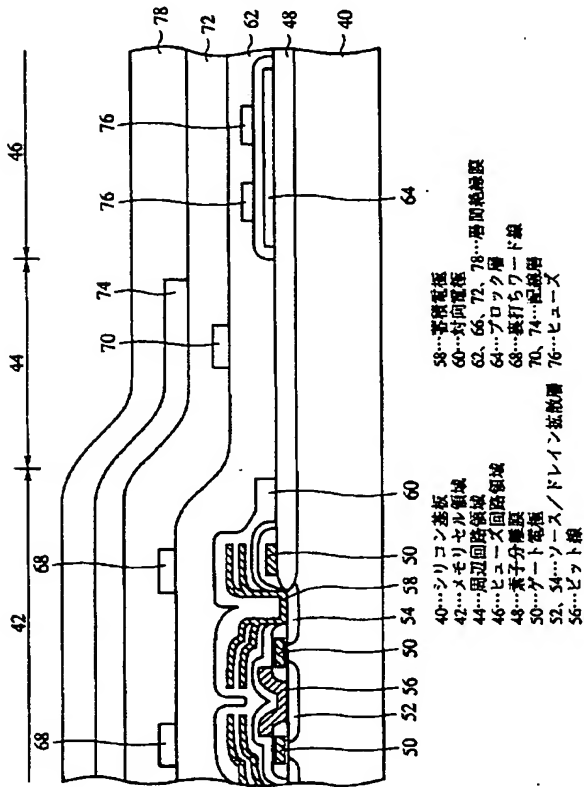
【図 8】

第2実施形態の変形例による半導体装置の構造を示す概略断面図(その1)



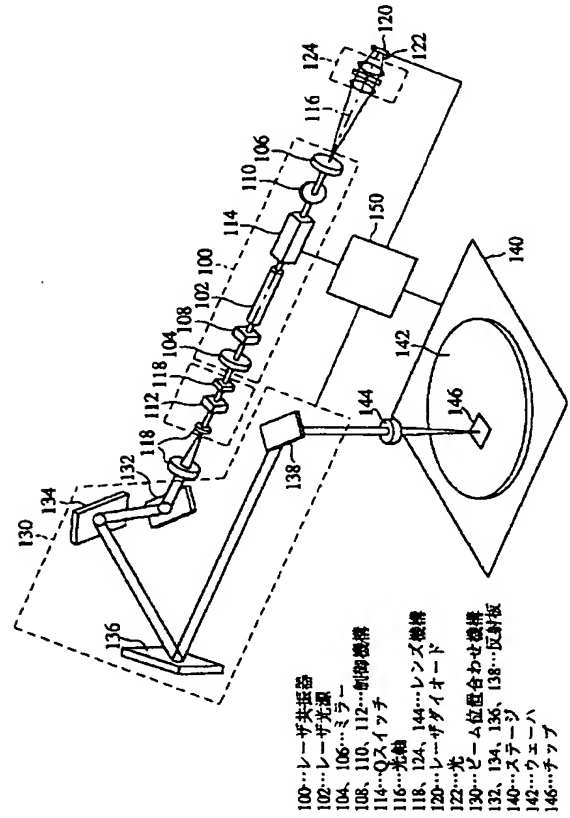
【図 9】

第2実施形態の変形例による半導体装置の構造を示す概略断面図(その2)



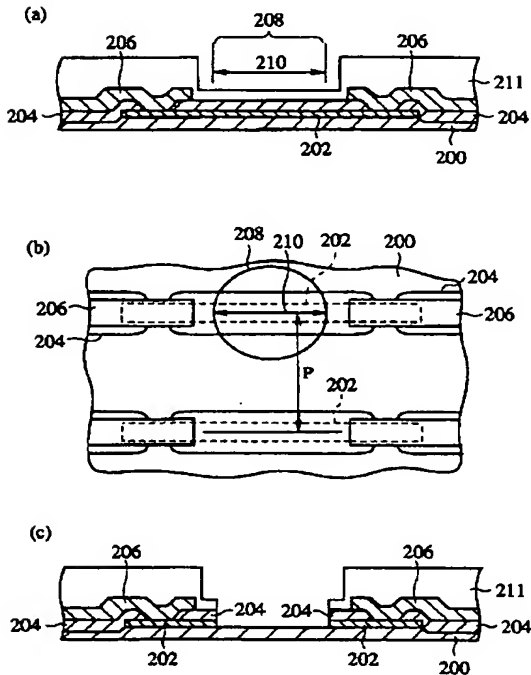
【図 10】

本発明の第3実施形態によるレーザ装置を示す概略図



【図 11】

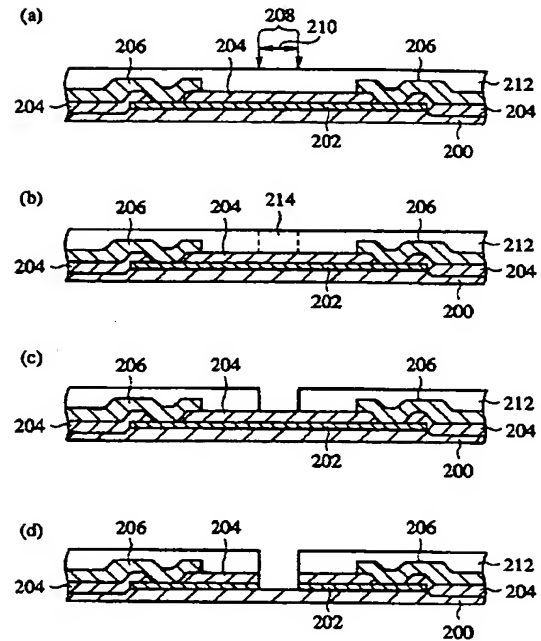
従来の半導体装置の構造及び製造方法を示す概略図(その1)



200…下地基板
202…ヒューズ
204…層間絶縁膜
206…配線層
208…レーザー光
210…スポットサイズ
211…パッシベーション膜

【図 12】

従来の半導体装置の構造及び製造方法を示す概略図(その2)



200…下地基板
202…ヒューズ
204…層間絶縁膜
206…配線層
208…レーザー光
210…スポットサイズ
212…フォトリソ
214…露光された領域のフォトリソ

フロントページの続き

(72)発明者 江間 泰示

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内

(72)発明者 エドワード ジェイ スウェンソン

アメリカ合衆国 97229 オレゴン州 ポ
ートランド エヌ ダブリュ サイエンス
パーク ドライブ 13900 エレクトロサ
イエンティフィック インダストリーズ
インコーポレーテッド内

(72)発明者 トム リチャードソン

アメリカ合衆国 97229 オレゴン州 ポ
ートランド エヌ ダブリュ サイエンス
パーク ドライブ 13900 エレクトロサ
イエンティフィック インダストリーズ
インコーポレーテッド内

(72)発明者 ヤンロン サン

アメリカ合衆国 97229 オレゴン州 ポ
ートランド エヌ ダブリュ サイエンス
パーク ドライブ 13900 エレクトロサ
イエンティフィック インダストリーズ
インコーポレーテッド内